

(51)Int.Cl.<sup>7</sup>  
H 0 2 M 3/07

識別記号

F I  
H 0 2 M 3/07

テ-マコ-ト\*(参考)  
5 H 7 3 0

審査請求 未請求 請求項の数 8 O L （全 11 頁）

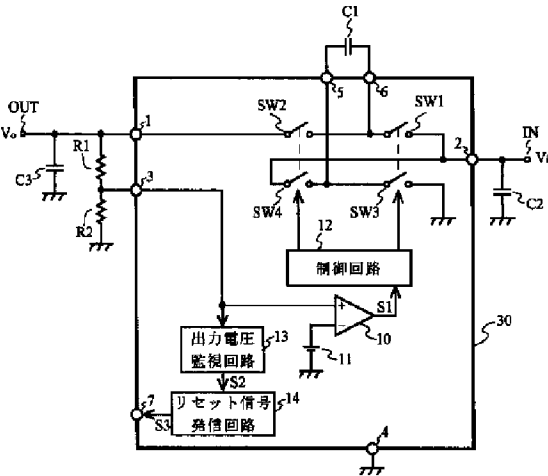
(21)出願番号	特願2001-206126(P2001-206126)	(71)出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22)出願日	平成13年 7 月 6 日 (2001. 7. 6)	(72)発明者	藤田 敏之 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
		(74)代理人	100085501 弁理士 佐野 静夫
		Fターム(参考)	5H730 AA15 AS00 AS01 BB02 DD04 EE59 FD01 FD11 FD31 FF01 FG01 XX03 XX13 XX22 XX23 XX33 XX44

(54)【発明の名称】 スイッチドキャパシタ型安定化電源装置

(57)【要約】

【課題】 出力電圧が異常であるときにリセット信号を出力する実装面積の小さいスイッチドキャパシタ型安定化電源装置を提供する。

【解決手段】 コンデンサC 1 及びスイッチング素子S W 1 ～S W 4 から成る昇圧回路を備え、スイッチング素子S W 1 ～S W 4 のスイッチング動作によりコンデンサC 1 の充放電を切り替えてコンデンサC 1 の放電時に入力端子I N に印加される直流電圧V<sub>in</sub>を昇圧して出力するスイッチドキャパシタ型安定化電源装置において、コンデンサC 3 の電圧が所定の範囲外である出力異常の有無を監視し出力異常が起こると出力異常発生信号S 2を発信する出力電圧監視回路1 3 と、出力異常発生信号S 2を受信するとリセット信号S 3を端子7に発信するリセット信号発信回路1 4 とを1チップ半導体集積回路装置3 0に搭載する。



## 【特許請求の範囲】

【請求項1】直流電圧が印加される入力端子と、コンデンサとスイッチング手段とを有し前記スイッチング手段のスイッチング動作により前記コンデンサの充放電を切り替えて前記コンデンサの放電時に前記直流電圧を昇圧して出力する昇圧手段と、前記昇圧手段の出力電圧を充電する出力側コンデンサと、前記出力側コンデンサの電圧を検出する電圧検出手段と、前記電圧検出手段が検出する電圧に基づいて前記スイッチング手段をON/OFF制御する制御手段と、前記出力側コンデンサの電圧が所定の範囲外である出力異常の有無を監視し出力異常が起こると出力異常発生信号を発信する監視手段と、前記出力異常発生信号を受信するとリセット信号を発信するリセット信号発信手段と、を備えとともに、少なくとも前記スイッチング手段と、前記制御手段と、前記監視手段と、前記リセット信号発信手段とが1チップ半導体集積回路装置に搭載されることを特徴とするスイッチドキャパシタ型安定化電源装置。

【請求項2】前記監視手段が前記電圧検出手段によって検出される電圧を入力し、前記電圧検出手段によって検出される電圧が所定の設定範囲外のときに出力異常とする請求項1に記載のスイッチドキャパシタ型安定化電源装置。

【請求項3】前記監視手段が前記直流電圧を検出し、前記直流電圧が所定の設定範囲外のときに出力異常とする請求項1に記載のスイッチドキャパシタ型安定化電源装置。

【請求項4】前記出力側コンデンサから出力される電流を検出する電流検出手段を備え、前記電流検出手段によって検出された電流に応じて前記所定の設定範囲の下限値が可変する請求項3に記載のスイッチドキャパシタ型安定化電源装置。

【請求項5】前記電流検出手段がカレントミラー回路を備える請求項4に記載のスイッチドキャパシタ型昇圧安定化電源装置。

【請求項6】出力異常が起こった時から時間を計測し、所定の時間継続して出力異常である場合に前記昇圧手段の昇圧動作を停止させるように前記制御手段を制御する時間検出手段を備える請求項1～5のいずれかに記載のスイッチドキャパシタ型安定化電源装置。

【請求項7】前記出力側コンデンサと負荷に接続される出力端子との間にスイッチを設けるとともに、前記時間検出手段が、前記昇圧手段の昇圧動作を停止させるように前記制御手段を制御するときは同時に前記スイッチをOFF状態にする請求項6に記載のスイッチドキャパシタ型昇圧安定化電源装置。

【請求項8】所定の電圧以上が与えられると前記昇圧手段の昇圧動作を再開させるように前記制御手段を制御し且つ前記スイッチをON状態にする動作復帰手段を備える請求項7に記載のスイッチドキャパシタ型昇圧安定化

電源装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、スイッチドキャパシタ型安定化電源装置に関するものである。

## 【0002】

【従来の技術】従来のスイッチドキャパシタ型安定化電源装置について図10を参照して説明する。入力端子INとコンデンサC2の正極性側とは、端子2を介してスイッチング素子SW1の一端とスイッチング素子SW4の一端との接続ノードに接続される。コンデンサC2の負極性側は接地される。

【0003】スイッチング素子SW1の他端はスイッチング素子SW2の一端に接続され、スイッチング素子SW2の他端は端子1に接続される。スイッチング素子SW4の他端はスイッチング素子SW3の一端に接続され、スイッチング素子SW3の他端は端子4を介して接地される。そして、スイッチング素子SW1とスイッチング素子SW2との接続ノードに端子6を介してコンデンサC1の一端が接続され、スイッチング素子SW3とスイッチング素子SW4との接続ノードに端子5を介してコンデンサC1の他端が接続される。

【0004】端子1に抵抗R1の一端、コンデンサC3の一端、及び出力端子OUTが接続される。コンデンサC3の他端は接地される。また、抵抗R1の他端は抵抗R2を介して接地される。

【0005】そして、抵抗R1と抵抗R2との接続ノードが端子3を介してコンパレータ10の非反転入力端子に接続される。コンパレータ10の反転入力端子に基準電圧 $V_{ref1}$ を出力する定電圧源11の正極側が接続される。また、定電圧源11の負極側は端子4を介して接地される。コンパレータ10の出力端子は制御回路12に接続され、制御回路12はスイッチング素子SW1～SW4の制御端子に接続される。尚、コンパレータ10はヒステリシス機能を備えている。そして、入力端子IN、出力端子OUT、コンデンサC1～C3、抵抗R1、及び抵抗R2以外の部分は1チップ半導体集積回路装置30に搭載される。

【0006】このような構成の従来のスイッチドキャパシタ型安定化電源装置の動作について説明する。入力端子INに直流電源（図示せず）が接続され、入力端子INに入力電圧 $V_{in}$ が印加される。制御回路12は後述するコンパレータ10の出力信号S1のレベルに応じてスイッチング素子SW1～SW4のON/OFF制御を行う。制御回路12は内部に発振器を有しており、周期T毎にコンパレータ10の出力信号S1のレベルを判定している。

【0007】コンパレータ10の出力信号S1がLowレベルの場合、制御回路12は、スイッチング素子SW1及びSW3をON状態にし、スイッチング素子SW2

及びSW4をOFF状態にする充電制御動作と、スイッチング素子SW1及びSW3をOFF状態にし、スイッチング素子SW2及びSW4をON状態にする放電制御動作とを周期T毎に切り替える。

【0008】一方、コンパレータ10の出力信号S1がHighレベルの場合、制御回路12は、周期T毎に制御動作を切り替えずに、スイッチング素子SW1及びSW3をON状態にし、スイッチング素子SW2及びSW4をOFF状態にする充電制御動作のみを行う。

【0009】制御回路12が充電制御動作を行うことによって、コンデンサC1は充電され、その充電電圧は $V_{in}$ となる。この充電期間中、出力端子OUTに接続される負荷（図示せず）に向かって出力端子OUTから出力電流が流れるためコンデンサC3は放電し、出力電圧 $V_o$ が低下する。

【0010】一方、制御回路12が放電制御動作を行うことによってコンデンサC1の負極性側が入力端子INに接続されることになるので、制御回路12が充電制御動作を行っていたときは零であったコンデンサC1の負極性側の電位が $V_{in}$ になる。それに伴い、制御回路12が充電制御動作を行っていたときは $V_{in}$ であったコンデンサC1の正極性側の電位が $2 \times V_{in}$ になる。このように放電制御動作中は、2倍に昇圧された電圧がコンデンサC3へ供給され、出力電圧 $V_o$ は増加する。

【0011】抵抗R1及び抵抗R2は出力電圧 $V_o$ を検出する電圧検出手段であり、出力電圧の分圧 $V_a$ をコンパレータ10に出力する。コンパレータ10は、出力電圧の分圧 $V_a$ と基準電圧 $V_{ref1}$ を比較し、出力電圧の分圧 $V_a$ が基準電圧 $V_{ref1}$ 以上であるとき、出力信号S1をHighレベルにする。

【0012】コンパレータ10はヒステリシス機能を備えたコンパレータであるので、出力信号S1を一旦Highレベルにすると、出力電圧の分圧 $V_a$ が基準電圧 $V_{ref1}$ 未満になっても出力信号S1をHighレベルのまま維持する。そして、出力電圧 $V_o$ が低下し出力電圧の分圧 $V_a$ が $V_{ref1}'$  ( $< V_{ref1}$ ) より小さくなると、出力信号S1をHighレベルからLowレベルに変更する。

【0013】このような動作を行うことによって、出力電圧の分圧 $V_a$ を $V_{ref1}'$  から $V_{ref1}$ までの範囲にして、出力電圧 $V_o$ を所定の範囲内で定電圧化することができる。

【0014】ところが、入力端子INに接続される直流電源が電池であってその電池の使用により入力電圧 $V_{in}$ が低下し過ぎた場合や入力端子INに接続される直流電源の出力電圧が出力電圧 $V_o$ の所定の範囲（使用定格電圧）の上限値よりも大きい場合、出力電圧 $V_o$ が所定の範囲外になってしまう。このように出力電圧 $V_o$ が所定の範囲外になった場合、出力端子OUTに接続されるIC（以下、負荷側ICという）が誤動作する可能性があ

るため、負荷側ICをリセットするリセット信号を送って負荷側ICを正常動作に復帰させる必要がある。このため、リセット信号発信回路を半導体集積回路装置30の外部に設けていた。

【0015】

【発明が解決しようとする課題】しかしながら、リセット信号発信回路を半導体集積回路装置30の外部に設けると、外付け部品点数や実装面積が増加してしまうという問題があった。近年、スイッチドキャパシタ型安定化電源装置は、携帯電話が搭載する液晶ディスプレイのバックライトとして用いられる青色LED或いは白色LEDの駆動電源としての用途が増加している。携帯電話においては小型化が要求されるので、実装面積の増加は特に問題となっていた。

【0016】本発明は、上記の問題点を鑑み、出力電圧が異常であるときにリセット信号を出力する実装面積の小さいスイッチドキャパシタ型安定化電源装置を提供することを目的とする。

【0017】

【課題を解決するための手段】上記目的を達成するために、本発明に係るスイッチドキャパシタ型安定化電源装置においては、直流電圧が印加される入力端子と、コンデンサとスイッチング手段とを有し前記スイッチング手段のスイッチング動作により前記コンデンサの充放電を切り替えて前記コンデンサの放電時に前記直流電圧を昇圧して出力する昇圧手段と、前記昇圧手段の出力電圧を充電する出力側コンデンサと、前記出力側コンデンサの電圧を検出する電圧検出手段と、前記電圧検出手段が検出する電圧に基づいて前記スイッチング手段をON/OFF制御する制御手段と、前記出力側コンデンサの電圧が所定の範囲外である出力異常の有無を監視し出力異常が起こると出力異常発生信号を発信する監視手段と、前記出力異常発生信号を受信するとリセット信号を発信するリセット信号発信手段と、を備えるとともに、少なくとも前記スイッチング手段と、前記制御手段と、前記監視手段と、前記リセット信号発信手段とを1チップ半導体集積回路装置に搭載する。

【0018】また、前記監視手段が前記電圧検出手段によって検出される電圧を入力し、前記電圧検出手段によって検出される電圧が所定の設定範囲外のときに出力異常とするようにしてもよい。

【0019】また、前記監視手段が、前記直流電圧を検出し、前記直流電圧が所定の設定範囲外のときに出力異常とするようにしてもよい。さらに、前記出力側コンデンサから出力される電流を検出する電流検出手段を備え、前記電流検出手段によって検出された電流に応じて前記所定の設定範囲の下限値が可変してもよく、前記電流検出手段がカレントミラー回路を備えるようにしてもよい。

【0020】また、出力異常が起こった時から時間を計

測し、所定の時間継続して出力異常である場合に前記昇圧手段の昇圧動作を停止させるように前記制御手段を制御する時間検出手段を備えるようにしてもよい。さらに、前記出力側コンデンサと負荷に接続される出力端子との間にスイッチを設けるとともに、前記時間検出手段が、前記昇圧手段の昇圧動作を停止させるように前記制御手段を制御するときは同時に前記スイッチをOFF状態にするようにしてもよい。尚かつ、所定の電圧以上が与えられると前記昇圧手段の昇圧動作を再開させるように前記制御手段を制御し且つ前記スイッチをON状態にする動作復帰手段を備えるようにしてもよい。

【発明の実施の形態】本発明の一実施形態について図面を参照して説明する。本発明に係る第一実施形態のスイッチドキャパシタ型安定化電源装置の構成を図1に示す。尚、図10の従来のスイッチドキャパシタが電源装置と同一の部分には同一の符号を付し、説明を省略する。

【0021】抵抗R1と抵抗R2との接続ノードが端子3を介して出力電圧監視回路13に接続される。出力電圧監視回路13はリセット信号発信回路14に接続され、リセット信号発信回路14は端子7に接続される。尚、端子7、出力電圧監視回路13、及びリセット信号発信回路14は、1チップ半導体集積回路装置30内に設けられる。

【0022】出力電圧監視回路13とリセット信号発信回路14は次のように動作する。抵抗R1及び抵抗R2は出力電圧 $V_o$ を検出する電圧検出手段であり、出力電圧の分圧 $V_a$ を出力電圧監視回路13に出力する。出力電圧監視回路13は出力電圧の分圧 $V_a$ の設定範囲を予め記憶しており、抵抗R1及び抵抗R2から成る電圧検出手段から出力された出力電圧の分圧 $V_a$ が設定範囲内であるかを判定し、設定範囲外である場合はリセット信号発信回路14に出力異常発生信号S2を送出する。尚、出力電圧監視回路13が予め記憶する出力電圧の分圧 $V_a$ の設定範囲内では出力電圧 $V_o$ が所定の範囲（使用定格電圧）となるように、設定範囲が決定されている。

【0023】リセット信号発信回路14は、出力電圧監視回路13から出力異常発生信号S2を受け取ると、リセット信号S3を生成し、負荷側IC（図示せず）に対して端子7からリセット信号S3を発信する。

【0024】第一実施形態のスイッチドキャパシタ型安定化電源装置は、出力電圧監視回路13とリセット信号発信回路14を備えるので、出力電圧 $V_o$ が所定の範囲外である出力異常のときにリセット信号S3を出力することができる。また、スイッチング素子SW1～SW4、制御回路12、コンパレータ10、定電圧源11、制御回路12が搭載される1チップ半導体集積回路装置30内に出力電圧監視回路13及びリセット信号発信回路14が設けられるので、従来のスイッチドキャパシタ型安定化電源装置に比べて実装面積の小さいスイッチド

キャパシタ型安定化電源装置を実現することができる。

【0025】次に、本発明に係る第二実施形態のスイッチドキャパシタ型安定化電源装置について説明する。第二実施形態のスイッチドキャパシタ型安定化電源装置の構成を図2に示す。尚、図1の第一実施形態のスイッチドキャパシタ型安定化電源装置と同一の部分には同一の符号を付し、説明を省略する。

【0026】出力電圧監視回路13がリセット信号発信回路14及び時間検出回路15に接続される。また、時間検出回路15が制御回路12及びリセット信号発信回路14に接続される。尚、時間検出回路15は、1チップ半導体集積回路装置30内に設けられる。

【0027】出力電圧監視回路13、リセット信号発信回路14、及び時間検出回路15の動作について図2の構成図及び図3のタイムチャートを参照して説明する。時間 $t_1$ において、出力電圧 $V_o$ が所定の範囲（使用定格電圧）の下限值 $V_{th1}$ 未満になったとする。このとき出力電圧の分圧 $V_a$ が設定範囲未満になるので、出力電圧監視回路13はリセット信号発信回路14及び時間検出回路15に出力異常発生信号S2を送出する。

【0028】リセット信号発信回路14は、出力電圧監視回路13から出力異常発生信号S2を受け取ると、リセット信号S3を生成し、負荷側IC（図示せず）に対して端子7からリセット信号S3を発信する。従って、図3に示すように時間 $t_1$ においてリセット信号S3の立ち上がりエッジが現れる。また、時間検出回路15は出力異常発生信号S2を受け取ると、時間計測を開始する。

【0029】後述する停止信号S4が入力されない限り、出力電圧監視回路13から出力異常発生信号S2が送出されている間、リセット信号発信回路14はリセット信号S3を送出し続け、時間検出回路15は時間計測を継続し続ける。

【0030】そして、出力異常発生信号S2が途切れることなく時間 $t_1$ から所定の時間 $T_c$ が経過して時間 $t_2$ になった場合、時間検出回路15は制御回路12及びリセット信号発信回路14に停止信号S4を送出する。制御回路12は、停止信号S4を受け取るとスイッチング素子SW1及びSW3をOFF状態、スイッチング素子SW2及びSW4をON状態にするので、コンパレータ10の出力信号S1のレベルにかかわらず充電制御動作を行わない。すなわち、昇圧動作を停止する。尚、制御回路12は時間検出回路15から停止信号S4が出力されなくなってから所定の時間経過後に通常動作を再開する。

【0031】このように、スイッチング素子SW1及びSW3がOFF状態、スイッチング素子SW2及びSW4がON状態になった後、コンデンサC3に蓄えられた電荷は負荷側ICと抵抗R1及びR2において放電される。このため、時間 $t_2$ 以後出力電圧 $V_o$ は急激に減少

し、コンデンサC3の放電終了とともに零となる。また、リセット信号発信回路14は、停止信号S4を受け取るとリセット信号S3の発信を停止する。従って、図3に示すように時間t2においてリセット信号S3の立ち下がりエッジが現れる。

【0032】尚、時間t1から所定の時間Tcが経過する前に、出力電圧V<sub>o</sub>が所定の範囲内すなわち下限値V<sub>thl</sub>以上であって上限値V<sub>thh</sub>以下の範囲に復帰した場合、時間検出回路15から制御回路12に停止信号S4が送出されることはない。

【0033】すなわち、出力電圧V<sub>o</sub>が所定の範囲外になったのちすぐに所定の範囲内に戻るような瞬間的な出力電圧V<sub>o</sub>の変動の場合にはその変動が起こった瞬間にリセット信号S3を発信し、その後、継続して負荷側ICに出力電圧V<sub>o</sub>を供給する。一方、出力電圧V<sub>o</sub>が所定の範囲外になってから所定の時間内に所定の範囲内に戻らない場合、例えば入力端子INに接続される直流電源が電池であって、その電池の消耗等によって出力電圧V<sub>o</sub>が減少する場合には昇圧動作を停止することによって負荷側ICへの電圧供給を停止する。これにより、所定の範囲外の出力電圧が長時間負荷側ICに供給されることがなくなり、負荷側ICが破損するおそれが少なくなる。

【0034】次に、本発明に係る第三実施形態のスイッチドキャパシタ型安定化電源装置について説明する。第三実施形態のスイッチドキャパシタ型安定化電源装置の構成を図4に示す。尚、図2の第二実施形態のスイッチドキャパシタ型安定化電源装置と同一の部分には同一の符号を付し、説明を省略する。

【0035】第三実施形態のスイッチドキャパシタ型安定化電源装置が第二実施形態のスイッチドキャパシタ型安定化電源装置と異なっている点は、端子1の代わりに端子1'、1''、及び1'''を備え、さらに端子8、スイッチング素子16、比較回路17、及び定電圧源18を備えている点である。尚、端子1'、1''、1'''、及び端子8と、スイッチング素子16と、比較回路17と、定電圧源18とは1チップ半導体集積回路装置30内に設けられる。

【0036】スイッチング素子16の一端がスイッチング素子SW2に接続される。そして、その接続ノードが端子1''を介してコンデンサC3の一端に接続され、端子1'''を介して抵抗R1の一端に接続される。また、スイッチング素子16の他端が端子1'を介して出力端子OUTに接続される。

【0037】端子8と定電圧源18の正極側とが比較回路17に接続される。定電圧源18の負極側は端子4を介して接地される。そして、時間検出回路15と比較回路17とがスイッチング素子16の制御端子に接続される。また、比較回路17は制御回路12にも接続される。

【0038】出力電圧監視回路13、リセット信号発信回路14、時間検出回路15、スイッチング素子16、及び比較回路17の動作について図4の構成図及び図5のタイムチャートを参照して説明する。時間t1において、出力電圧V<sub>o</sub>が所定の範囲（使用定格電圧）の下限値V<sub>thl</sub>未満になったとする。このとき出力電圧の分圧V<sub>a</sub>が設定範囲未満になるので、出力電圧監視回路13はリセット信号発信回路14及び時間検出回路15に出力異常発生信号S2を送出する。

【0039】リセット信号発信回路14は、出力電圧監視回路13から出力異常発生信号S2を受け取ると、リセット信号S3を生成し、負荷側IC（図示せず）に対して端子7からリセット信号S3を発信する。従って、図5に示すように時間t1においてリセット信号S3の立ち上がりエッジが現れる。また、時間検出回路15は出力異常発生信号S2を受け取ると、時間計測を開始する。

【0040】後述する停止信号S4が入力されない限り、出力電圧監視回路13から出力異常発生信号S2が送出されている間、リセット信号発信回路14はリセット信号S3を送出し続け、時間検出回路15は時間計測を継続し続ける。

【0041】そして、出力異常発生信号S2が途切れることなく時間t1から所定の時間Tcが経過して時間t2になった場合、時間検出回路15は制御回路12、リセット信号発信回路14、及びスイッチング素子16に停止信号S4を送出する。制御回路12は、停止信号S4を受け取るとスイッチング素子SW1及びSW3をOFF状態、スイッチング素子SW2及びSW4をON状態にするので、コンパレータ10の出力信号S1のレベルにかかわらず充電制御動作を行わない。すなわち、昇圧動作を停止する。尚、第二実施形態のスイッチドキャパシタ型安定化電源装置の場合と異なり、制御回路12は時間検出回路15から停止信号S4が出力されなくなった後所定の時間経過しても通常動作を再開しない。

【0042】また、スイッチング素子16は停止信号S4によってON状態からOFF状態になる。スイッチング素子16は時間検出回路15から停止信号S4が出力されなくなった後もOFF状態を維持する。

【0043】このようにスイッチング素子SW1及びSW3がOFF状態、スイッチング素子SW2及びSW4がON状態、スイッチング素子16がOFF状態になった後、コンデンサC3に蓄えられた電荷は抵抗R1及びR2において放電される。スイッチング素子16がOFF状態であるため、第二実施形態のスイッチドキャパシタ型安定化電源装置と異なり負荷側ICでは放電されない。また、リセット信号発信回路14は、停止信号S4を受け取るとリセット信号S3の発信を停止する。従って、図5に示すように時間t2においてリセット信号S3の立ち下がりエッジが現れる。

【0044】尚、時間 $t_1$ から所定の時間 $T_c$ が経過する前に、出力電圧 $V_o$ が所定の範囲内すなわち下限値 $V_{thl}$ 以上であって上限値 $V_{thh}$ 以下の範囲に復帰した場合、時間検出回路15から制御回路12、リセット信号発信回路14、及びスイッチング素子16に停止信号 $S_4$ が送出されることはない。

【0045】すなわち、出力電圧 $V_o$ が所定の範囲外になったのちすぐに所定の範囲内に戻るような瞬間的な出力電圧の変動の場合にはその変動が起こった瞬間にリセット信号 $S_2$ を発信し、その後、継続して負荷側ICに出力電圧 $V_o$ を供給する。一方、出力電圧 $V_o$ が所定の範囲外になったのち所定の時間経過後も所定の範囲内に戻らない場合、例えば入力端子INに接続される直流電源が電池であって、その電池の消耗等によって出力電圧 $V_o$ が減少する場合には昇圧動作を停止し、且つ負荷側ICへの電力供給を遮断する。これにより、所定の範囲外の出力電圧が負荷側ICに供給される時間を図5に示した時間 $T_c$ のみにすることができ、負荷側ICが破損するおそれを一層少なくすることができる。

【0046】比較回路17は、端子8から入力する電圧信号が定電圧源18から送出される電圧 $V_{ref2}$ 以上であれば、スイッチング素子16及び制御回路12に復帰信号 $S_5$ を送出する。復帰信号 $S_5$ を受け取ると、スイッチング素子16はON状態になり、制御回路12は通常の制御動作を再開する。スイッチング素子16は比較回路17から復帰信号 $S_5$ が出力されなくなった後もON状態を維持する。

【0047】第二実施形態のスイッチドキャパシタ型安定化電源装置では出力電圧 $V_o$ が所定の範囲外である出力異常の状態では制御回路12が通常動作を再開するおそれがあったが、第三実施形態のスイッチドキャパシタ型安定化電源装置では定電圧源18が送出する電圧 $V_{ref2}$ 以上の電圧信号を端子8から比較回路17に入力しなければスイッチング素子16がON状態になることはなく、制御回路12が通常の制御動作を再開することもない。これにより、第三実施形態のスイッチドキャパシタ型安定化電源装置では出力電圧 $V_o$ が所定の範囲外である出力異常の状態では復帰しないようにすることができる。

【0048】次に、本発明に係る第四実施形態のスイッチドキャパシタ型安定化電源装置について説明する。第四実施形態のスイッチドキャパシタ型安定化電源装置の構成を図6に示す。尚、図1の第一実施形態のスイッチドキャパシタ型安定化電源装置と同一の部分には同一の符号を付し、説明を省略する。

【0049】入力端子INが端子2を介して入力電圧監視回路19に接続される。入力電圧監視回路19はリセット信号発信回路14に接続され、リセット信号発信回路14は端子7に接続される。尚、入力電圧監視回路19は、1チップ半導体集積回路装置30内に設けられる。

【0050】入力電圧監視回路19とリセット信号発信回路14は次のように動作する。入力電圧監視回路19は入力端子INに印加される入力電圧 $V_{in}$ を検出する。入力電圧監視回路19は入力電圧 $V_{in}$ の設定範囲を予め記憶しており、検出した入力電圧 $V_{in}$ が設定範囲内であるかを判定し、設定範囲外である場合はリセット信号発信回路14に出力異常発生信号 $S_2$ を送出する。尚、入力電圧監視回路19が予め記憶する入力電圧 $V_{in}$ の設定範囲内では出力電圧 $V_o$ が所定の範囲（使用定格電圧）となるように、設定範囲が決定されている。

【0051】リセット信号発信回路14は、入力電圧監視回路19から出力異常発生信号 $S_2$ を受け取ると、リセット信号 $S_3$ を生成し、負荷側IC（図示せず）に対して端子7を介してリセット信号 $S_3$ を発信する。

【0052】第四実施形態のスイッチドキャパシタ型安定化電源装置は、入力電圧監視回路19とリセット信号発信回路14を備えるので、出力電圧 $V_o$ が所定の範囲外である出力異常のときにリセット信号 $S_3$ を出力することができる。また、スイッチング素子 $SW_1 \sim SW_4$ 、制御回路12、コンパレータ10、定電圧源11、及び制御回路12が搭載される1チップ半導体修正機械路装置30内に、入力電圧監視回路19とリセット信号発信回路14が設けられるので、従来のスイッチドキャパシタ型安定化電源装置に比べて実装面積の小さいスイッチドキャパシタ型安定化電源装置を実現することができる。

【0053】次に、本発明に係る第五実施形態のスイッチドキャパシタ型安定化電源装置について説明する。第五実施形態のスイッチドキャパシタ型安定化電源装置の構成を図7に示す。尚、図2の第二実施形態のスイッチドキャパシタ型安定化電源装置及び図6の第四実施形態のスイッチドキャパシタ型安定化電源装置と同一の部分には同一の符号を付し、説明を省略する。

【0054】入力電圧監視回路19がリセット信号発信回路14及び時間検出回路15に接続される。また、時間検出回路15が制御回路12及びリセット信号発信回路14に接続される。

【0055】入力電圧監視回路19、リセット信号発信回路14、及び時間検出回路15の動作について説明する。第五実施形態のスイッチドキャパシタ型安定化電源装置の昇圧倍率は2倍に固定されているので、出力電圧 $V_o$ を所定の範囲（使用定格電圧）の下限値以上にできる入力電圧 $V_{in}$ には下限がある。また、第五実施形態のスイッチドキャパシタ型安定化電源装置は昇圧しかできないので、出力電圧 $V_o$ を所定の範囲（使用定格電圧）の上限値以下にできる入力電圧 $V_{in}$ には上限がある。従って、出力電圧 $V_o$ の所定の範囲（使用定格電圧）に対応する入力電圧 $V_{in}$ の設定範囲を定めることができる。入力電圧監視回路19は、この入力電圧 $V_{in}$ の設定範囲を予め記憶している。入力電圧 $V_{in}$ が設定範囲外になる

と、入力電圧監視回路19はリセット信号発信回路14及び時間検出回路15に出力異常発生信号S2を送出する。

【0056】リセット信号発信回路14は、入力電圧監視回路19から出力異常発生信号S2を受け取ると、リセット信号S3を生成し、負荷側IC（図示せず）に対して端子7からリセット信号S3を発信する。また、時間検出回路15は出力異常発生信号S2を受け取ると、時間計測を開始する。

【0057】後述する停止信号S4が入力されない限り、入力電圧監視回路19から出力異常発生信号S2が送出されている間、リセット信号発信回路14はリセット信号S3を送出し続け、時間検出回路15は時間計測を継続し続ける。

【0058】そして、出力異常発生信号S2が途切れることなく所定の時間が経過した場合、時間検出回路15は制御回路12及びリセット信号発信回路14に停止信号S4を送出する。制御回路12は、停止信号S4を受け取るとスイッチング素子SW1及びSW3をOFF状態、スイッチング素子SW2及びSW4をON状態にするので、コンパレータ10の出力信号S1のレベルにかかわらず充電制御動作を行わない。すなわち、昇圧動作を停止する。尚、制御回路12は時間検出回路15から停止信号S4が出力されなくなってから所定の時間経過後に通常動作を再開する。

【0059】このように、スイッチング素子SW1及びSW3がOFF状態、スイッチング素子SW2及びSW4がON状態になった後、コンデンサC3に蓄えられた電荷は負荷側ICと抵抗R1、R2において放電される。また、リセット信号発信回路14は、停止信号S4を受け取るとリセット信号S3の発信を停止する。

【0060】尚、リセット信号S3の出力開始から所定の時間が経過する前に、入力電圧 $V_{in}$ が設定範囲内に復帰した場合、時間検出回路15から制御回路12及びリセット信号発信回路14に停止信号S4が送出されることはない。

【0061】すなわち、入力電圧 $V_{in}$ が設定範囲外になったのちすぐに設定範囲内に戻るような瞬間的な入力電圧の変動の場合にはその変動が起こった瞬間にリセット信号を発信し、その後、継続して負荷側ICに出力電圧を供給する。一方、入力電圧 $V_{in}$ が設定範囲外になってから所定の時間内に設定範囲内に戻らない場合、例えば入力端子INに接続される直流電源が電池であって、その電池の消耗等によって入力電圧 $V_{in}$ が減少する場合には昇圧動作を停止することによって負荷側ICへの電圧供給を停止する。これにより、所定の範囲外の出力電圧が長時間負荷側ICに供給されることがなくなり、負荷側ICが破損するおそれが少なくなる。

【0062】次に、本発明に係る第六実施形態のスイッチドキャパシタ型安定化電源装置について説明する。第

六実施形態のスイッチドキャパシタ型安定化電源装置の構成を図8に示す。尚、図4の第三実施形態のスイッチドキャパシタ型安定化電源装置及び図7の第五実施形態のスイッチドキャパシタ型安定化電源装置と同一の部分には同一の符号を付し、説明を省略する。

【0063】第六実施形態のスイッチドキャパシタ型安定化電源装置が第五実施形態のスイッチドキャパシタ型安定化電源装置と異なっている点は、端子1の代わりに端子1'、1''、1'''を備え、さらに端子8、スイッチング素子16、比較回路17、定電圧源18、及び出力電流検出回路20を備えている点である。尚、出力電流検出回路20は1チップ半導体集積回路装置30に搭載される。

【0064】スイッチング素子16の一端がスイッチング素子SW2に接続される。そして、その接続ノードが端子1''を介してコンデンサC3の一端に接続され、端子1'''を介して抵抗R1の一端に接続される。また、スイッチング素子16の他端が端子1'を介して出力端子OUTに接続される。

【0065】端子8と定電圧源18の正極側とが比較回路17に接続される。定電圧源18の負極側は端子4を介して接地される。そして、時間検出回路15と比較回路17とがスイッチング素子16の制御端子に接続される。また、比較回路17は制御回路12にも接続される。さらに、出力電流検出回路20が入力電圧監視回路19に接続される。

【0066】リセット信号発信回路14、時間検出回路15、スイッチング素子16、比較回路17、及び入力電圧監視回路19の動作について説明する。第六実施形態のスイッチドキャパシタ型安定化電源装置の昇圧倍率は2倍に固定されているので、出力電圧 $V_o$ を所定の範囲（使用定格電圧）の下限値以上にできる入力電圧 $V_{in}$ には下限がある。また、第五実施形態のスイッチドキャパシタ型安定化電源装置は昇圧しかできないので、出力電圧 $V_o$ を所定の範囲（使用定格電圧）の上限値以下にできる入力電圧 $V_{in}$ には上限がある。従って、出力電圧 $V_o$ の所定の範囲（使用定格電圧）に対応する入力電圧 $V_{in}$ の設定範囲を定めることができる。入力電圧監視回路19は、この入力電圧 $V_{in}$ の設定範囲を予め記憶している。入力電圧 $V_{in}$ が設定範囲外になると、入力電圧監視回路19はリセット信号発信回路14及び時間検出回路15に出力異常発生信号S2を送出する。

【0067】リセット信号発信回路14は、入力電圧監視回路19から出力異常発生信号S2を受け取ると、リセット信号S3を生成し、負荷側IC（図示せず）に対して端子7からリセット信号S3を発信する。また、時間検出回路15は出力異常発生信号S2を受け取ると、時間計測を開始する。

【0068】後述する停止信号S4が入力されない限り、入力電圧監視回路19から出力異常発生信号S2が

送出されている間、リセット信号発信回路14はリセット信号S3を送出し続け、時間検出回路15は時間計測を継続し続ける。

【0069】そして、出力異常発生信号S2が途切れることなく所定の時間が経過した場合、時間検出回路15は制御回路12、リセット信号発信回路14、及びスイッチング素子16に停止信号S4を送出する。制御回路12は、停止信号S4を受け取るとスイッチング素子SW1及びSW3をOFF状態、スイッチング素子SW2及びSW4をON状態にするので、コンパレータ10の出力信号S1のレベルにかかわらず充電制御動作を行わない。すなわち、昇圧動作を停止する。第五実施形態のスイッチドキャパシタ型安定化電源装置の場合と異なり、制御回路12は時間検出回路15から停止信号S4が出力されなくなった後所定の時間経過しても通常動作を再開しない。

【0070】また、スイッチング素子16は停止信号S4によってON状態からOFF状態になる。スイッチング素子16は時間検出回路15から停止信号S4が出力されなくなった後もOFF状態を維持する。

【0071】このようにスイッチング素子SW1及びSW3がOFF状態、スイッチング素子SW2及びSW4がON状態、スイッチング素子16がOFF状態になった後、コンデンサC3に蓄えられた電荷は抵抗R1及びR2において放電される。スイッチング素子16がOFF状態であるため、第五実施形態のスイッチドキャパシタ型安定化電源装置と異なり負荷側ICでは放電されない。また、リセット信号発信回路14は、停止信号S4を受け取るとリセット信号S3の発信を停止する。

【0072】尚、リセット信号S3の出力開始から所定の時間が経過する前に、入力電圧 $V_{in}$ が設定範囲内に復帰した場合、時間検出回路15から制御回路12及びリセット信号発信回路14に停止信号S4が送出されることはない。

【0073】すなわち、入力電圧 $V_{in}$ が設定範囲外になったのちすぐに設定範囲内に戻るような瞬間的な入力電圧の変動の場合にはその変動が起こった瞬間にリセット信号を発信し、その後、継続して負荷側ICに出力電圧を供給する。一方、入力電圧 $V_{in}$ が設定範囲外になってから所定の時間内に設定範囲内に戻らない場合、例えば入力端子INに接続される直流電源が電池であって、その電池の消耗等によって入力電圧 $V_{in}$ が減少する場合には昇圧動作を停止し、且つ負荷側ICへの電力供給を遮断する。これにより、所定の範囲外の出力電圧が負荷側ICに供給させる時間をリセット信号の出力開始から停止信号が出力されるまでの所定の時間のみにすることができ、負荷側ICが破損するおそれを一層少なくすることができる。

【0074】比較回路17は、端子8から入力する電圧信号が定電圧源18から送出される電圧 $V_{ref2}$ 以上であ

れば、スイッチング素子16及び制御回路12に復帰信号S5を送出する。復帰信号S5を受け取ると、スイッチング素子16はON状態になり、制御回路12は通常の制御動作を再開する。スイッチング素子16は比較回路17から復帰信号S5が出力されなくなった後もON状態を維持する。

【0075】第五実施形態のスイッチドキャパシタ型安定化電源装置では出力電圧 $V_o$ が所定の範囲外である出力異常の状態では制御回路12が通常動作を再開するおそれがあったが、第六実施形態のスイッチドキャパシタ型安定化電源装置では定電圧源18から送出される電圧 $V_{ref2}$ 以上の電圧信号を端子8から比較回路17に入力しなければスイッチング素子16がON状態になることはなく、制御回路12が通常の制御動作を再開することもない。これにより、第六実施形態のスイッチドキャパシタ型安定化電源装置では出力異常の状態では復帰しないようにすることができる。

【0076】そして、出力電流検出回路20は出力端子OUTから負荷側ICに流れる出力電流を検出する。入力電圧監視回路19は出力電流検出回路20によって検出された出力電流に応じて入力電圧 $V_{in}$ の設定範囲の下限値を可変する。出力電流が大きくなるとスイッチドキャパシタ型安定化電源装置の電力変換効率が悪化するので、出力電流が小さい場合は入力電圧 $V_{in}$ の設定範囲の下限値を小さくし、出力電流が大きい場合は入力電圧 $V_{in}$ の設定範囲の下限値を大きくする。これにより、例えば入力端子INに接続される直流電源が電池であって、その電池の消耗等によって入力電圧 $V_{in}$ が減少してきたときにおいて、より長く電池を使用することができる。

【0077】ここで、出力電流検出回路20の一実施態様について図9の構成図を参照して説明する。出力電流検出回路20はスイッチング素子16の位置に設けられる。すなわち、端子21がスイッチング素子SW2、端子1'、及び端子1''に接続され、端子22が端子1'に接続され、端子23が時間検出回路15及び比較回路17に接続される。そして、MOS-FET25がスイッチング素子16として動作する。

【0078】尚、端子23と時間検出回路15及び比較回路17との間には、停止信号S4と復帰信号S5を入力し、端子23に送出する信号の初期設定をLowレベルとし、停止信号S4及び復帰信号S5のいずれかが入力されたときにのみ端子23に送出する信号を反転させる回路(図示せず)を設ける。

【0079】MOS-FET25のドレイン及びMOS-FET26のドレインが端子22に接続される。MOS-FET25のゲート及びMOS-FET26のゲートが端子23に接続される。MOS-FET25のソースが端子21に接続され、MOS-FET26のソースが抵抗R3の一端に接続され、抵抗R3の他端がMOS-FET25のソース及び端子21に接続される。そし



て、抵抗R3の一端にオペアンプOP1の非反転入力端子が、抵抗R3の他端にオペアンプOP1の反転入力端子がそれぞれ接続される。オペアンプOP1の出力端子は端子24に接続される。

【0080】MOS-FET25及び26は1:N比のカレントミラー回路を構成しており、MOS-FET25に流れる電流の1/Nの電流がMOS-FET26に流れる。オペアンプOP1は抵抗R3の両端電位差を増幅して端子24に出力する。これにより、スイッチドキャパシタ型安定化電源装置の出力電流に応じた電圧信号を端子24から出力することができる。また、出力電流検出回路20がカレントミラー回路を備え、そのカレントミラーの電流比であるNの値を大きくすることで抵抗R3で生じるジュール熱を抑えることができる。

【0081】尚、上述した第一～第六実施形態のスイッチドキャパシタ型安定化電源装置は昇圧倍率が2倍であるスイッチドキャパシタ型昇圧安定化電源回路であったが、コンデンサとスイッチング素子との組み合わせが異なる1.5倍や3倍等の任意の昇圧倍率のスイッチドキャパシタ型昇圧安定化電源回路にしてもよい。

【0082】

【発明の効果】本発明によると、少なくともスイッチング手段と、制御手段と、監視手段と、リセット信号発信手段とが1チップ半導体集積回路装置に搭載されるので、出力電圧が異常であるときにリセット信号を出力する実装面積の小さいスイッチドキャパシタ型安定化電源装置を実現することができる。

【0083】また、本発明によると、監視手段が出力側コンデンサの電圧を検出する電圧検出手段によって検出される電圧を入力し、その電圧検出手段によって検出される電圧が所定の設定範囲外のときに出力異常とするので、簡単な構成で出力異常の有無を監視することができる。

【0084】また、本発明によると、監視手段が入力端子に印加される直流電圧を検出し、直流電圧が所定の設定範囲外のときに出力異常とするので、簡単な構成で出力異常の有無を監視することができる。

【0085】また、本発明によると、出力側コンデンサから出力される電流を検出する電流検出手段を備え、その電流検出手段によって検出された電流に応じて入力端子に印加される直流電圧に対する所定の設定範囲の下限値が可変するので、スイッチドキャパシタ型安定化電源装置の電力変換効率に応じて入力端子に印加される直流電圧に対する所定の設定範囲を補正することができる。これにより、例えば入力端子INに接続される直流電源が電池であって、その電池の消耗等によって入力電圧 $V_{in}$ が減少してきたときにおいて、より長く電池を使用することができる。

【0086】また、本発明によると、電流検出手段がカレントミラー回路を備えるので、カレントミラー回路の

電流比を大きくすることで電流検出手段に生じるジュール熱を小さくすることができる。

【0087】また、本発明によると、出力異常が起こった時から時間を計測し、所定の時間継続して出力異常である場合に昇圧手段の昇圧動作を停止させるように制御手段を制御する時間検出手段を備えるので、所定の範囲外の出力電圧が長時間負荷側ICに供給されることがなくなり、負荷側ICが破損するおそれが少なくなる。

【0088】また、本発明によると、出力側コンデンサと負荷に接続される出力端子との間にスイッチを設けるとともに、時間検出手段が、昇圧手段の昇圧動作を停止させるように制御手段を制御するときは同時にスイッチをOFF状態にするので、所定の範囲外の出力電圧が負荷側ICに供給される時間を時間検出手段が計測する所定の時間のみにすることができる。これにより、負荷側ICが破損するおそれを一層少なくすることができる。

【0089】また、本発明によると、所定の電圧以上が与えられると昇圧手段の昇圧動作を再開させるように制御手段を制御し且つスイッチをON状態にする動作復帰手段を備えるので、出力異常の状態で復帰しないようにすることができる。

【図面の簡単な説明】

【図1】 本発明に係る第一実施形態のスイッチドキャパシタ型安定化電源装置の構成を示す図である。

【図2】 本発明に係る第二実施形態のスイッチドキャパシタ型安定化電源装置の構成を示す図である。

【図3】 第二実施形態のスイッチドキャパシタ型安定化電源装置の動作を示すタイムチャート図である。

【図4】 本発明に係る第三実施形態のスイッチドキャパシタ型安定化電源装置の構成を示す図である。

【図5】 第三実施形態のスイッチドキャパシタ型安定化電源装置の動作を示すタイムチャート図である。

【図6】 本発明に係る第四実施形態のスイッチドキャパシタ型安定化電源装置の構成を示す図である。

【図7】 本発明に係る第五実施形態のスイッチドキャパシタ型安定化電源装置の構成を示す図である。

【図8】 本発明に係る第六実施形態のスイッチドキャパシタ型安定化電源装置の構成を示す図である。

【図9】 第六実施形態のスイッチドキャパシタ型安定化電源装置が備える出力電流検出回路の一実施態様を示す図である。

【図10】 従来のスイッチドキャパシタ型安定化電源装置の構成を示す図である。

【符号の説明】

1～8 端子

10 コンパレータ

11、18 定電圧源

12 制御回路

13 出力電圧監視回路

14 リセット信号発信回路

15 時間検出回路

16 スwitchング素子

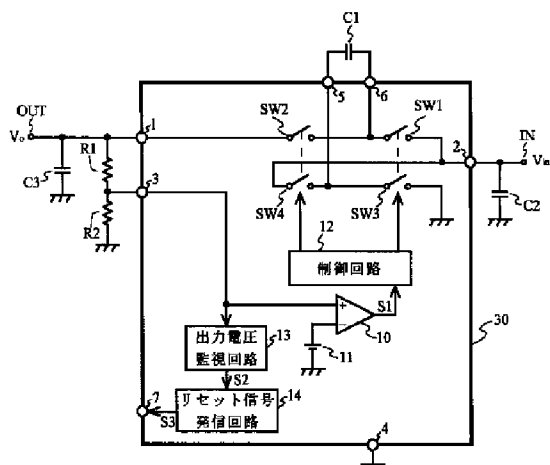
17 比較回路

19 入力電圧監視回路

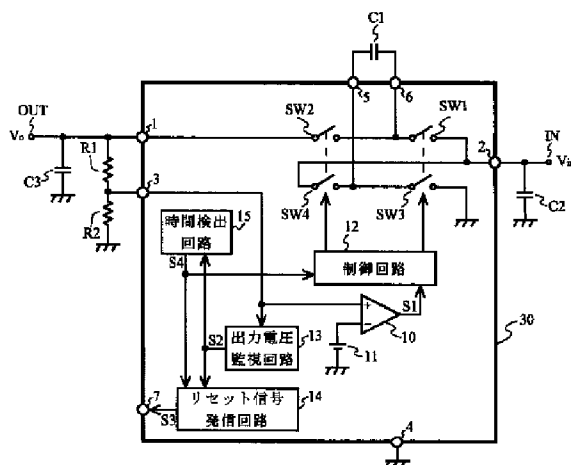
20 出力電流検出回路

30 1チップ半導体集積回路装置

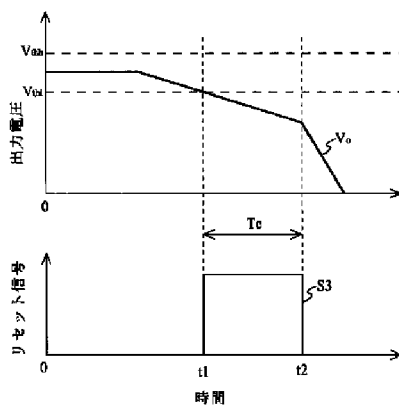
【図1】



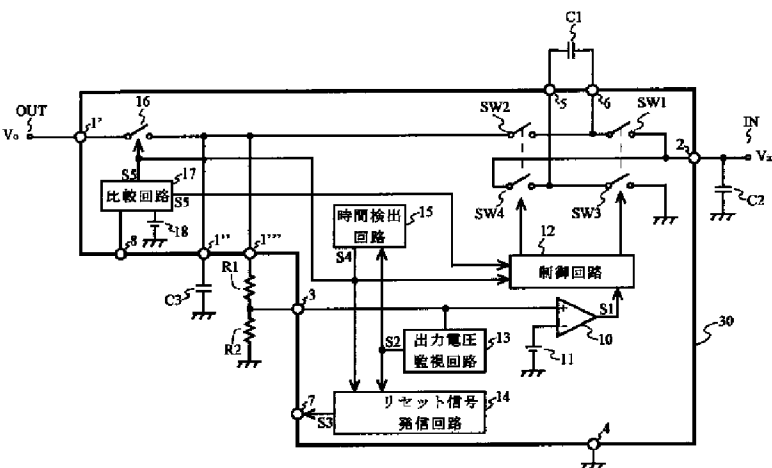
【図2】



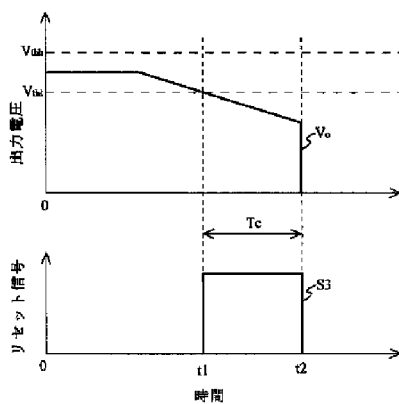
【図3】



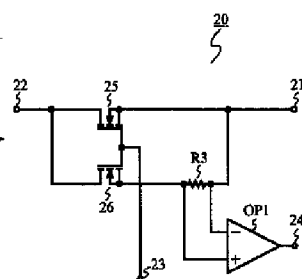
【図4】



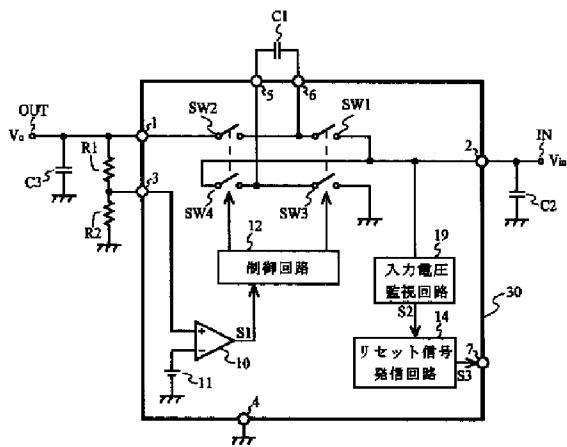
【図5】



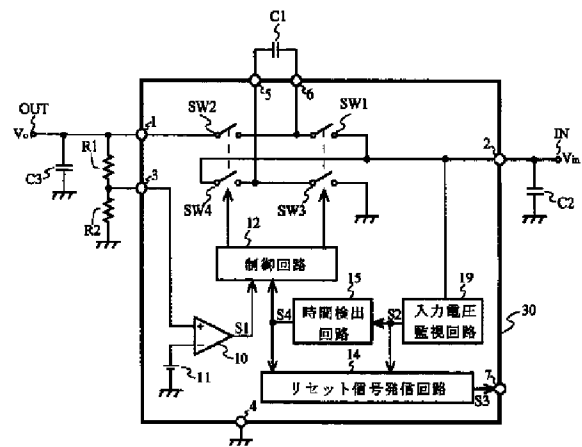
【図9】



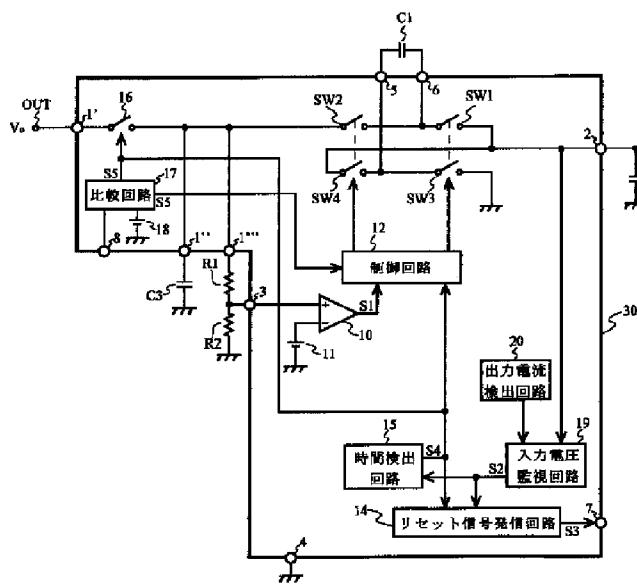
【図6】



【図7】



【図8】



【図10】

